



INFORMATION PROCESSING DEVICE AND METHOD AND DISTRIBUTION MEDIUM

Patent number: JP2000010913
Publication date: 2000-01-14
Inventor: FURUHASHI MAKOTO
Applicant: SONY COMP ENTERTAINMENT INC
Classification:
- international: G06F13/36; G10K15/00; G10K15/12
- european: G06F9/445B
Application number: JP19980180014 19980626
Priority number(s): JP19980180014 19980626

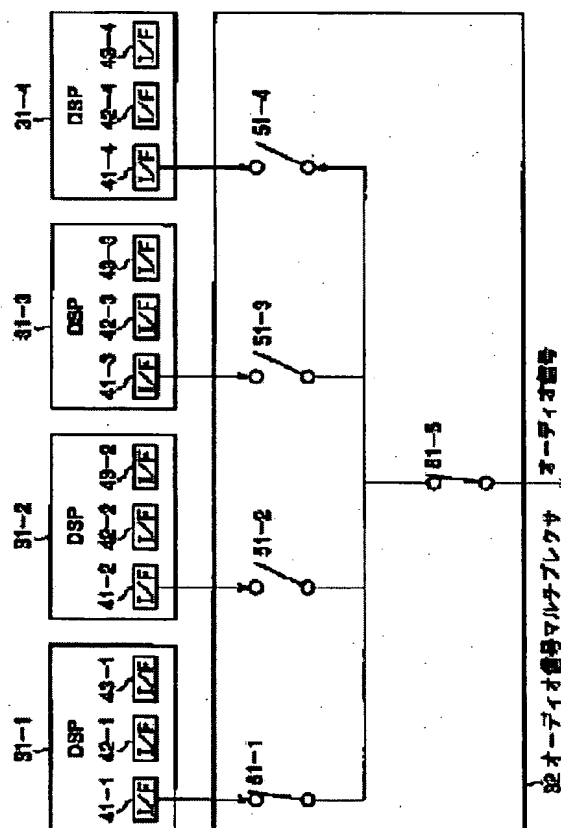
Also published as:

 E P0973093 (A2)
 US 6427181 (B1)

Report a data error here

Abstract of JP2000010913

PROBLEM TO BE SOLVED: To transmit the audio signals among DSPs without using a bus.
SOLUTION: The DSP 31-1 to 31-4 are connected to a bus and also to an audio signal multiplexer 32. When the output of the DSP 31-1 is outputted to the outside, the switches 51-1 and 51-5 of the multiplexer 32 are turned on with the switches 51-2 to 51-4 turned off respectively.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-10913
(P2000-10913A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 F 13/36	5 2 0	C 0 6 F 13/36	5 2 0 Z 5 B 0 6 1
G 1 0 K 15/00		C 1 0 K 15/00	M 5 D 1 0 8
15/12			B

審査請求 未請求 請求項の数 7 O L (全 10 頁)

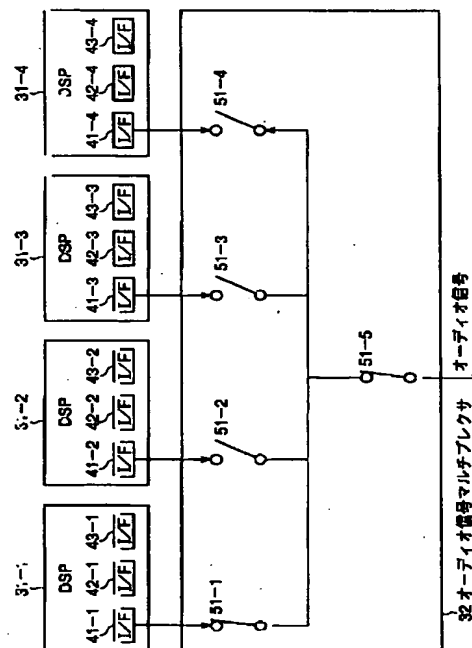
(21) 出願番号	特願平10-180014	(71) 出願人	395013319 株式会社ソニー・コンピュータエンタテインメント 東京都港区赤坂7-1-1
(22) 出願日	平成10年6月26日 (1998.6.26)	(72) 発明者	古橋 真 東京都港区赤坂7丁目1番1号 株式会社 ソニー・コンピュータエンタテインメント 内
		(74) 代理人	100082131 弁理士 稲本 義雄 Fターム(参考) 5B061 BA01 BB01 FF01 GG11 5D108 AA20

(54) 【発明の名称】 情報処理装置および方法、並びに提供媒体

(57) 【要約】

【課題】 オーディオ信号をバスを介さずに、DSP間で転送できるようにする。

【解決手段】 DSP 31-1乃至31-4は、バスに接続されているとともに、オーディオ信号マルチプレクサ32にも接続されている。DSP 31-1の出力を外部に出力するとき、オーディオ信号マルチプレクサ32のスイッチ51-1, 51-5がオンされ、スイッチ51-2乃至51-4がオフされる。



【特許請求の範囲】

【請求項1】 所定のバスを有し、前記バスに外部デバイスが接続されている情報処理装置において、前記外部デバイスから要求があったとき、前記外部デバイスに前記バスの使用权を提供する提供手段と、前記提供手段により提供された前記バスを介して前記外部デバイスから供給されるプログラムを記憶する記憶手段と、前記記憶手段から供給された前記プログラムに基づいて、所定の処理を実行する実行手段と、前記記憶手段から供給された前記プログラムに基づいて、前記実行手段の処理を管理する管理手段とを備えることを特徴とする情報処理装置。

【請求項2】 前記記憶手段、前記実行手段、および前記管理手段が、1つの半導体デバイスの中に組み込まれていることを特徴とする請求項1に記載の情報処理装置。

【請求項3】 所定のバスを有し、前記バスに外部デバイスが接続されている情報処理装置の情報処理方法において、前記外部デバイスから要求があったとき、前記外部デバイスに前記バスの使用权を提供する提供ステップと、前記提供ステップで提供された前記バスを介して前記外部デバイスから供給されるプログラムを記憶する記憶ステップと、前記記憶ステップで供給された前記プログラムに基づいて、所定の処理を実行する実行ステップと、前記記憶ステップで供給された前記プログラムに基づいて、前記実行ステップの処理を管理する管理ステップとを含むことを特徴とする情報処理方法。

【請求項4】 所定のバスを有し、前記バスに外部デバイスが接続されている情報処理装置に、前記外部デバイスから要求があったとき、前記外部デバイスに前記バスの使用权を提供する提供ステップと、前記提供ステップで提供された前記バスを介して前記外部デバイスから供給されるプログラムを記憶する記憶ステップと、前記記憶ステップで供給された前記プログラムに基づいて、所定の処理を実行する実行ステップと、前記記憶ステップで供給された前記プログラムに基づいて、前記実行ステップの処理を管理する管理ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする提供媒体。

【請求項5】 バスを介して相互に接続されたN個の信号処理手段と、前記バスを介して前記信号処理手段と接続され、前記信号処理手段の動作を制御する制御手段と、N個の前記信号処理手段と前記制御手段による前記バスの使用权を調停する調停手段と、前記制御手段により制御され、前記バスを介さずに、N

個の前記信号処理手段の間でデータを転送させる転送手段とを備えることを特徴とする情報処理装置。ことを特徴とする請求項1に記載の情報処理装置。

【請求項6】 バスを介して相互に接続されたN個の信号処理装置を有する情報処理装置の情報処理方法において、N個の前記信号処理装置に信号を処理させる処理ステップと、N個の前記信号処理装置の動作を制御する制御ステップと、N個の前記処理ステップと前記制御ステップにおける前記バスの使用权を調停する調停ステップと、前記制御ステップでの制御に対応して、前記バスを介さずに、N個の前記信号処理装置の間でデータを転送させる転送ステップとを含むことを特徴とする情報処理方法。

【請求項7】 バスを介して相互に接続されたN個の信号処理装置を有する情報処理装置に、N個の前記信号処理装置に信号を処理させる処理ステップと、N個の前記信号処理装置の動作を制御する制御ステップと、N個の前記処理ステップと前記制御ステップにおける前記バスの使用权を調停する調停ステップと、前記制御ステップでの制御に対応して、前記バスを介さずに、N個の前記信号処理装置の間でデータを転送させる転送ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする提供媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報処理装置および方法、並びに提供媒体に関し、特に、データを効率よく高速に転送できるようにした情報処理装置および方法、並びに提供媒体に関する。

【0002】

【従来の技術】近年、例えば、グラフィックコンピュータやエンタテインメント機において、映像の迫力や臨場感を高めるために、信号処理の高速性が要求されている。そこで、CPU、メモリデバイス、その他必要な半導体デバイスとともに、浮動小数点の積和演算を高速に実行するDSP(Digital Signal Processor)を複数、基板上に配置し、信号を並列処理する試みがなされている。

【0003】

【発明が解決しようとする課題】しかしながら、複数のDSPを基板上に配置し、回路を設計しようとすると、例えば、高速転送を行うためにビット幅の広いメモリデバイスが必要となる。そのメモリデバイスに対応するために、DSPには多数の端子が必要となり、その結果、DSPのパッケージサイズが大きくなる。また汎用のメモリデバ

イスは、記憶容量が小さいため、複数のメモリデバイスが必要となる。これらのことより、基板が大型になり、デバイス間、例えば、メモリデバイスとDSP間の配線距離が長くなり、基板上の浮遊容量による信号転送遅延が発生する。その結果、信号を効率よく高速に転送できなくなる課題がある。さらにデバイスの数が増えると、消費電力が大きくなり、発熱量が増加したり、また基板が大型化すると、基板自体の品質が劣化する課題がある。

【0004】また、ブートプログラムは、内蔵するROMに固定的に記憶されたものが用いられるようになされており、バグが発見された場合、その変更が困難となる課題があった。

【0005】本発明はこのような状況に鑑みてなされたものであり、装置の信号処理能力を向上させることができるようにするものである。また、プログラムを容易に変更できるようにするものである。

【0006】

【課題を解決するための手段】請求項1に記載の情報処理装置は、外部デバイスから要求があったとき、外部デバイスにバスの使用権を提供する提供手段と、提供手段により提供されたバスを介して外部デバイスから供給されるプログラムを記憶する記憶手段と、記憶手段から供給されたプログラムに基づいて、所定の処理を実行する実行手段と、記憶手段から供給されたプログラムに基づいて、実行手段の処理を管理する管理手段とを備えることを特徴とする。

【0007】請求項3に記載の情報処理方法は、外部デバイスから要求があったとき、外部デバイスにバスの使用権を提供する提供ステップと、提供ステップで提供されたバスを介して外部デバイスから供給されるプログラムを記憶する記憶ステップと、記憶ステップで供給されたプログラムに基づいて、所定の処理を実行する実行ステップと、記憶ステップで供給されたプログラムに基づいて、実行ステップの処理を管理する管理ステップとを備えることを特徴とする。

【0008】請求項4に記載の提供媒体は、外部デバイスから要求があったとき、外部デバイスにバスの使用権を提供する提供ステップと、提供ステップで提供されたバスを介して外部デバイスから供給されるプログラムを記憶する記憶ステップと、記憶ステップで供給されたプログラムに基づいて、所定の処理を実行する実行ステップと、記憶ステップで供給されたプログラムに基づいて、実行ステップの処理を管理する管理ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする。

【0009】請求項5に記載の情報処理装置は、バスを介して相互に接続されたN個の信号処理手段と、バスを介して信号処理手段と接続され、信号処理手段の動作を制御する制御手段と、N個の信号処理手段と制御手段によるバスの使用権を調停する調停手段と、制御手段によ

り制御され、バスを介さずに、N個の信号処理手段の間でデータを転送させる転送手段とを備えることを特徴とする。

【0010】請求項6に記載の情報処理方法は、N個の信号処理装置に信号を処理させる処理ステップと、N個の信号処理装置の動作を制御する制御ステップと、N個の処理ステップと制御ステップにおけるバスの使用権を調停する調停ステップと、制御ステップでの制御に対応して、バスを介さずに、N個の信号処理装置の間でデータを転送させる転送ステップとを含むことを特徴とする。

【0011】請求項7に記載の提供媒体は、N個の信号処理装置に信号を処理させる処理ステップと、N個の信号処理装置の動作を制御する制御ステップと、N個の処理ステップと制御ステップにおけるバスの使用権を調停する調停ステップと、制御ステップでの制御に対応して、バスを介さずに、N個の信号処理装置の間でデータを転送させる転送ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする。

【0012】請求項1に記載の情報処理装置、請求項3に記載の情報処理方法、および請求項4に記載の提供媒体においては、外部デバイスから要求があったとき、外部デバイスにバスの使用権が提供され、提供されたバスを介して外部デバイスから供給されるプログラムが記憶され、供給されたプログラムに基づいて、所定の処理が実行され、供給されたプログラムに基づいて、所定の処理が管理される。

【0013】請求項5に記載の情報処理装置においては、信号処理手段がバスを介して接続し、制御手段がバスを介して信号処理手段と接続され、信号処理手段の動作を制御し、調停手段がN個の信号処理手段と制御手段によるバスの使用権を調停し、転送手段が制御手段により制御され、バスを介さずに、N個の信号処理手段の間でデータを転送する。

【0014】請求項6に記載の情報処理方法および請求項7に記載の提供媒体においては、処理ステップでN個の信号処理装置に信号が処理され、制御ステップではN個の信号処理装置の動作が制御され、調停ステップではN個の処理ステップと制御ステップにおけるバスの使用権が調停され、転送ステップでは制御ステップでの制御に対応して、バスを介さずに、N個の信号処理装置の間でデータが転送される。

【0015】

【発明の実施の形態】以下に本発明の実施の形態を説明するが、特許請求の範囲に記載の発明の各手段と以下の実施の形態との対応関係を明らかにするために、各手段の後の括弧内に、対応する実施の形態（但し一例）を付加して本発明の特徴を記述すると、次のようになる。但し勿論この記載は、各手段を記載したものに限定するこ

とを意味するものではない。

【0016】請求項1に記載の情報処理装置は、外部デバイスから要求があったとき、外部デバイスにバスの使用権を提供する提供手段（例えば、図2のバスアービタ15）と、提供手段により提供されたバスを介して外部デバイスから供給されるプログラムを記憶する記憶手段（例えば、図2のDRAM11）と、記憶手段から供給されたプログラムに基づいて、所定の処理を実行する実行手段（例えば、図2のDSP31-1乃至31-4）と、記憶手段から供給されたプログラムに基づいて、実行手段の処理を管理する管理手段（例えば、図2のCPU12）とを備えることを特徴とする。

【0017】請求項5に記載の情報処理装置は、バスを介して相互に接続されたN個の信号処理手段（例えば、図2のDSP31-1乃至31-4）と、バスを介して信号処理手段と接続され、信号処理手段の動作を制御する制御手段（例えば、図2のCPU12）と、N個の信号処理手段と制御手段によるバスの使用権を調停する調停手段（例えば、図2のバスアービタ15）と、制御手段により制御され、バスを介さずに、N個の信号処理手段の間でデータを転送させる転送手段（例えば、図2のオーディオ信号マルチプレクサ32）とを備えることを特徴とする。

【0018】図1は、本発明を適用したエンタテインメント機1の構成例を表している。ホストCPU2は、ドライブコントローラ14およびホストバス22を介して、記録媒体5からメインメモリ3に転送されたプログラムに従って、メディアプロセッサ4を制御するようになされている。すなわち、ホストCPU2は、例えば、エンタテインメント機1が起動されると、記録媒体5からメインメモリ3にブートプログラムを読み出し、これをメインメモリ3からメディアプロセッサ4に転送し、実行させる。メインメモリ3は、例えばRAMなどで構成され、プログラムなどを記憶する他、ホストCPU2の動作上必要なデータなども記憶するようになされている。

【0019】メディアプロセッサ4は、ホストバス22を介してホストCPU2から供給されたブートプログラムを実行した後、記録媒体5からメインメモリ3を介してホストCPU2から供給されたアプリケーションプログラムや必要なデータを読み出すようになされている。メディアプロセッサ4はまた、読み出したアプリケーションプログラムに従って、データを処理し、オーディオ信号を出力したり、別途入力されるオーディオ信号を処理する。さらに、メディアプロセッサ4は、モデム等の通信データを入出力する。

【0020】動画デコーダ23は、ホストバス22を介して、メインメモリ3から供給される圧縮されたグラフィックデータをデコードして、メインメモリ3に戻し、記憶させるようになされている。グラフィックエンジン24は、ホストバス22を介してメインメモリ3から供

給される、動画デコーダ23によりデコードされたデータを処理し、ビデオ信号を外部に出力するようになされている。

【0021】図2は、1つのLSIで構成されているメディアプロセッサ4の構成例を表している。DRAM11は、ホストCPU2から供給されるブートプログラムを記憶する他、CPU12およびサウンドエンジン13の動作上必要なデータや実行すべきプログラムを記憶するようになされている。CPU12は、DRAM11に記憶されているプログラムに従って、各種の処理を実行するようになされている。例えば、CPU12は、DRAM11からブートプログラムの転送を受け、初期化処理を実行する。

【0022】バスアービタ15は、システムバス21の使用権を調停するようになされている。

【0023】ホストI/F（インターフェース）16は、ホストバス22を介してホストCPU2に接続されているとともに、システムバス21に接続されている。ホストI/F16はまた、リセットレジスタ16AおよびFIFO16Bを内蔵している。

【0024】ホストCPU2からの転送要求が、ホストI/F16を介してCPU12に伝達されると、CPU12はその転送要求をDMAコントローラ17に出力する。そのとき、DMAコントローラ17は、バスアービタ15を介してバス権を取得し、ホストCPU2からFIFO16Bを介してDRAM11に、DMAによるプログラムやデータの転送を行う。

【0025】ペリフェラル18は、例えば時計動作を行うタイマ、設定された所定の周期で割り込みパルスが発生する割り込みコントローラなどで構成されている。

【0026】サウンドエンジン13は、4個のDSP31-1乃至31-4（以下、DSP31-1乃至31-4を個々に区別する必要がない場合、単にDSP31と記述する。他の装置においても同様である）、オーディオ信号マルチプレクサ32、同期シリアル信号マルチプレクサ33、および非同期シリアル信号マルチプレクサ34により構成されている。

【0027】DSP31-1は、デジタルオーディオ信号I/F（インターフェース）41-1、同期シリアル信号I/F42-1、および非同期シリアル信号I/F43-1を内蔵しており、それぞれのインターフェースを介して、オーディオ信号マルチプレクサ32、同期シリアル信号マルチプレクサ33、および非同期シリアル信号マルチプレクサ34に接続されている。

【0028】デジタルオーディオ信号I/F41-1と同期シリアル信号I/F42-1では、クロックに同期してデータ転送が行われ、非同期シリアル信号I/F43-1では、RS-232Cに基づいてデータ転送が行われる。DSP31-1はまた、システムバス21に接続されており、システムバス21を介して、DRAM11からプログラムやデータを読み出し、内蔵するDRAM44-1に記

憶させるようになされている。

【0029】DSP31-2乃至31-4は、それぞれDSP31-1と同様の構成を有しており、デジタルオーディオ信号I/F41-2乃至41-4、同期シリアル信号I/F42-2乃至42-4、非同期シリアル信号I/F43-2乃至43-4、およびDRAM44-2乃至44-4を内蔵している。DSP31-2乃至31-4はまた、システムバス21、オーディオ信号マルチプレクサ32、同期シリアル信号マルチプレクサ33、および非同期シリアル信号マルチプレクサ34に接続されている。

【0030】デジタルオーディオ信号マルチプレクサ32は、DSP31-1乃至31-4のデジタルオーディオ信号I/F41-1乃至41-4から入力されるデジタルオーディオ信号を、同期シリアル信号マルチプレクサ33は、同期シリアル信号I/F42-1乃至42-4から入力される同期シリアル信号を、そして非同期シリアル信号マルチプレクサ34は、非同期シリアル信号I/F43-1乃至43-4から入力される非同期シリアル信号を、マルチプレクサする。

【0031】上述したメディアプロセッサ4は、1つの半導体デバイス(LSI)の中に組み込まれている。このことより、システムバス21のビット幅を広く(この例の場合、128ビット)取ることができる。またDRAM11のアクセス遅延が減少することにより、例えば、DRAM11と、CPU12やDSP31-1乃至31-4との間のデータ転送を高速に行うことができ、頻繁にデータ転送を行うことができるので、DSP31-1乃至31-4に内蔵されるDRAM44-1乃至44-4を小容量にすることができる。

【0032】次に、以上のように構成されるエンタテイメント機1を初期化する場合の処理手順を、図3のフローチャートを参照して説明する。

【0033】はじめに、ステップS1において、ホストCPU2は、図示せぬ専用のリセット線を介してメディアプロセッサ4に、それをリセットするリセット信号(例えば、Lの信号)を入力する。これにより、メディアプロセッサ4内の各リソース(CPU12、DSP31、バスアービタ15など)は、全てリセットされる。また、このとき、ホストI/F16の、CPU12とDSP31のリセット状態を管理するリセットレジスタ16Aがオン(リセット状態)にされる。

【0034】次に、ステップS2において、ホストCPU2が、リセット信号を解除すると(リセット信号のレベルをLからHにすると)、CPU12とDSP31(正確には、そのコア部)は、まだリセット状態のまま(リセットレジスタ16Aはオンのまま)であるが、他のリソース(例えば、バスアービタ15、DMAコントローラ17など)は、リセットが解除される。この状態で、ステップS3において、ホストCPU2は、ホストI/F16を

介して、バスアービタ15にシステムバス21の使用権を要求する。CPU12、DSP31は、まだリセット状態なので、システムバス21の使用権を要求しない。従って、バスアービタ15は、ホストCPU2にシステムバス21の使用権を与える。

【0035】ステップS4において、ホストCPU2は、DMAコントローラ17、ペリフェラル18等の初期化処理を実行する。

【0036】次に、ステップS5において、ホストCPU2は、CPU12を介して、メインメモリ3に記憶させておいたブートプログラムの転送を指令する。ステップS6において、DMAコントローラ17が、ブートプログラムの転送指令に対応して、バスアービタ15にシステムバス21の使用権を要求すると、この要求に対応してバスアービタ15は、DMAコントローラ17にシステムバス21の使用権を設定する。

【0037】ステップS7において、DMAコントローラ17は、メインメモリ3からブートプログラムをシステムバス21を介して、DRAM11にDMA転送する。

【0038】次に、ステップS8において、ホストCPU2は、ホストI/F16のリセットレジスタ16Aをオフ(リセット状態を解除する状態にする)。これにより、CPU12とDSP31のリセットが解除される。

【0039】次に、ステップS9において、CPU12が、バスアービタ15にシステムバス21の使用権を要求すると、この要求に対応してバスアービタ15は、使用権をCPU12に与える。ステップS10において、CPU12は、DRAM11からブートプログラムの転送を受け、初期化処理を実行する。また、CPU12は、各DSP31を制御し、初期化処理の実行を要求する。

【0040】ステップS11において、各DSP31-1乃至31-4は、バスアービタ15にシステムバス21の使用権を要求し、その設定を受けたとき、ステップS12において、DRAM11から対応するブートプログラムの転送を受け、初期化処理を実行する。なお、ホストCPU2は、CPU12にDSP31の初期化処理を実行させるのではなく、自ら、実行させることもできる。

【0041】このように、ホストCPU2が、メインメモリ3に記憶させておいたブートプログラムをDRAM11に提供し、CPU12およびDSP31がそのブートプログラムの供給を受け、初期化処理を実行するようにしたので、ブートプログラムの変更が可能になる。例えば、ブートプログラムにバグが発見されたとき、ブートプログラムを改良し、その新たなブートプログラムをメインメモリ3に記憶させればよい。このことは、その他のプログラムについても同様である。

【0042】また、ホストCPU2がシステムバス21の使用権を得ることができるようにしたので、ホストCPU2が、メディアプロセッサ4のリソースを使用し、その状態を知ることができ、プログラム開発時のデバック処

理も容易になる。

【0043】次に、オーディオ信号処理を実行する場合の処理手順を、図4のフローチャートを参照して説明する。

【0044】ステップS21において、ホストCPU2は、ドライブコントローラ14を制御し、記録媒体5からプログラムや必要なデータを読み出させ、FIFO16Bに供給させ、記憶させる。そして、DMAコントローラ17が、FIFO16Bに記憶されているデータをDRAM11にDMA転送する。

【0045】次に、ステップS22において、CPU12は、各DSP31-1乃至31-4に、実行すべきプログラムを指令すると、ステップS23において、DSP31-1乃至31-4は、バスアービタ15にシステムバス21の使用権の設定を要求し、使用権が得られたとき、DRAM11から所定のプログラムを、それぞれ読み出し、内蔵するDRAM44-1乃至44-4に記憶させる。

【0046】次に、ステップS24において、各DSP31-1乃至31-4は、それぞれ内蔵するDRAM44-1乃至44-4に記憶させたプログラムを実行する。DSP31-1乃至31-4は、例えば、音声合成処理、サウンド合成処理、音声認識処理、またはエフェクト処理を実行し、オーディオ信号をオーディオ信号マルチプレクサ32に出力したりする。なお、DSP31-1乃至31-4は、プログラムを実行する上で必要となるデータを、それぞれDRAM11から直接読み出す。すなわち、CPU11を介さない。

【0047】このように、DSP31-1乃至31-4は、記録媒体5に記録されているプログラムを実行し、オーディオ信号を処理する。

【0048】次に、図5乃至図8を参照して、オーディオ信号マルチプレクサ32の動作例を説明する。図5乃至図7に示されるオーディオ信号マルチプレクサ32は、5個のスイッチ51-1乃至51-5から構成されている。スイッチ51-1乃至51-4の一方の端子は、それぞれDSP31-1乃至31-4のデジタルオーディオ信号I/F41-1乃至41-4に接続され、他方の端子は共通に接続され、スイッチ51-5の一方の端子に接続されている。スイッチ51-5の他方の端子は図示せぬ装置（例えば、スピーカまたはマイクロホン）に接続されている。

【0049】また、図8に示されるオーディオ信号マルチプレクサ32は、6個のスイッチ51-1乃至51-6から構成されている。スイッチ51-1乃至51-3の一方の端子は、それぞれDSP31-1乃至31-3のデジタルオーディオ信号I/F41-1乃至41-3に接続され、他方の端子は共通に接続された後、スイッチ51-5の一方の端子に接続されている。スイッチ51-5の他方の端子は図示せぬ装置（例えば、スピーカまたはマイクロホン）に接続されている。またスイッチ

51-4の一方の端子は、DSP31-4のデジタルオーディオ信号I/F41-4に接続され、他方の端子はスイッチ51-6の一方の端子に接続されている。スイッチ51-6の他方の端子は図示せぬ装置（例えば、スピーカまたはマイクロホン）に接続されている。

【0050】図5の例においては、DSP31-1が、オーディオ信号出力モード状態とされ、オーディオ信号マルチプレクサ32のマルチプレクサ51-1、51-5がオンされ、マルチプレクサ51-2乃至51-4がオフされている。すなわち、この例の場合、DSP31-1から出力されたオーディオ信号が、外部に出力される。このように、DSP31-1乃至DSP31-4のうちのいずれか1つから出力されるオーディオ信号を選択し、外部に出力することができる。

【0051】図6の例においては、DSP31-1乃至31-4がオーディオ信号入力モード状態とされ、オーディオ信号マルチプレクサ32のマルチプレクサ51-1、51-2、51-5がオンされ、マルチプレクサ51-3、51-4がオフされている。すなわち、この例の場合、図示せぬ装置から入力されるオーディオ信号が、DSP31-1、31-2に入力される。このように、入力されるオーディオ信号をDSP31-1乃至31-4のうち1つ以上に入力することができる。

【0052】図7の例においては、DSP31-1がオーディオ信号出力モード状態とされ、DSP31-2、31-3がオーディオ信号入力モード状態とされる。さらに、オーディオ信号マルチプレクサ32のスイッチ51-1乃至51-3がオンされ、スイッチ51-4、51-5がオフされている。すなわち、この例の場合、DSP31-1から出力されるオーディオ信号が、DSP31-2、31-3に供給される。このように、システムバス21を介することなく、DSP31-1乃至31-4の間でデータを転送することができる。

【0053】図8においては、DSP31-1がオーディオ信号出力モード状態とされ、DSP31-2乃至31-4がオーディオ信号入力モード状態とされる。さらに、オーディオ信号マルチプレクサ32のスイッチ51-1乃至51-6がオンされている。すなわち、この例の場合、DSP31-1から出力されているオーディオ信号が、DSP31-2、31-3に供給されるとともに、スイッチ51-5を介して図示せぬ装置に出力される。DSP31-4には、スイッチ51-4、51-6を介して図示せぬ装置からオーディオ信号が入力される。

【0054】同期シリアル信号マルチプレクサ33および非同期シリアル信号マルチプレクサ34は、基本的にオーディオ信号マルチプレクサ32と同様の構成を有しており、それぞれ同期シリアル信号および非同期シリアル信号を、上述したように、処理することができる。

【0055】このように、オーディオ信号マルチプレクサ32、同期シリアル信号33、および非同期シリアル

信号34に入出力される信号が制御されるので、効率よいデータ転送が可能となる。

【0056】なお、本明細書において、システム用語は、複数の装置、手段などより構成される全体的な装置を意味するものである。

【0057】なお、上記したような処理を行うコンピュータプログラムをユーザに提供する提供媒体としては、磁気ディスク、CD-ROM、固体メモリなどの記録媒体の他、ネットワーク、衛星などの通信媒体を利用することができる。

【0058】

【発明の効果】請求項1に記載の情報処理装置、請求項3に記載の情報処理方法、および請求項4に記載の提供媒体によれば、外部デバイスにバスの使用権を提供するようにしたので、プログラムを容易に変更することができる。

【0059】請求項5に記載の情報処理装置、請求項6に記載の情報処理方法、および請求項7に記載の提供媒体によれば、バスを介さずに、データを転送させることができるようにしたので、システム全体として、データ信号を効率よく高速に転送することができる。

【図面の簡単な説明】

【図1】本発明を適用したエンタテインメント機1の構成例を示すブロック図である。

【図2】図1のメディアプロセッサ4の構成例を示すブロック図である。

【図3】初期化処理を説明するフローチャートである。

【図4】オーディオ信号処理を説明するフローチャートである。

【図5】オーディオ信号マルチプレクサ32の動作を説明する図である。

【図6】オーディオ信号マルチプレクサ32の他の動作を説明する図である。

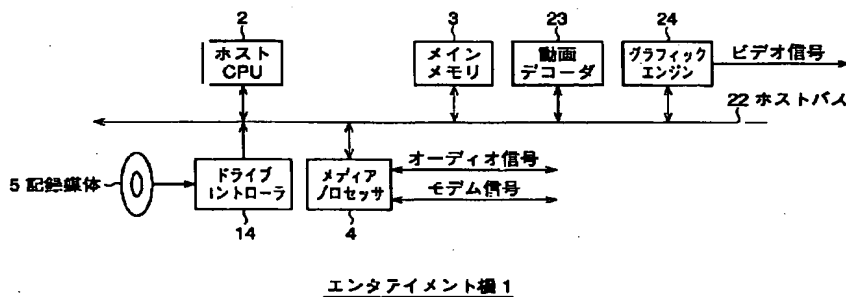
【図7】オーディオ信号マルチプレクサ32の他の動作を説明する図である。

【図8】オーディオ信号マルチプレクサ32の他の動作を説明する図である。

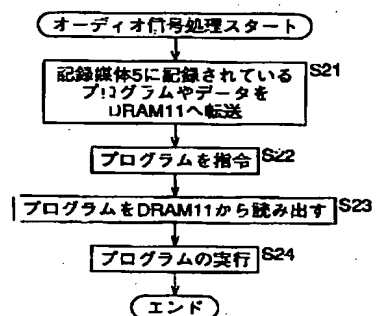
【符号の説明】

1 エンタテインメント機, 2 ホストCPU, 3 メインメモリ, 4 メディアプロセッサ, 5 記録媒体, 11 DRAM, 12 CPU, 13 サウンドエンジン, 14 ドライブコントローラ, 15 バスアービタ, 16 ホストI/F, 17 DMAC, 18 プリフェラル, 21 システムバス, 22 ホストバス, 23 動画デコーダ, 24 グラフィックエンジン, 31 DSP, 32 オーディオ信号マルチプレクサ, 33 同期シリアル信号マルチプレクサ, 34 非同期シリアル信号マルチプレクサ, 41 デジタルオーディオ信号I/F, 42 同期シリアル信号I/F, 43 非同期シリアル信号I/F, 44 DRAM

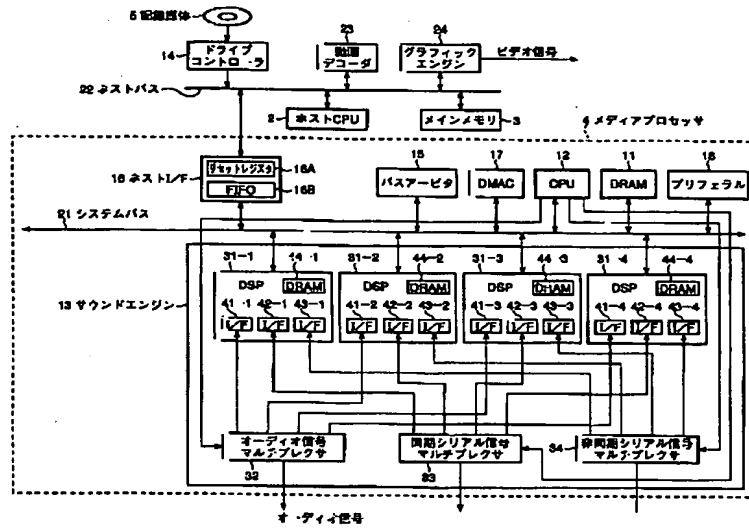
【図1】



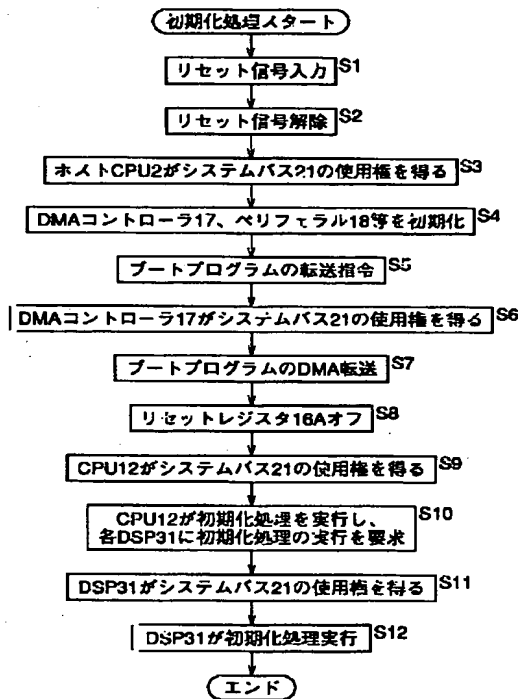
【図4】



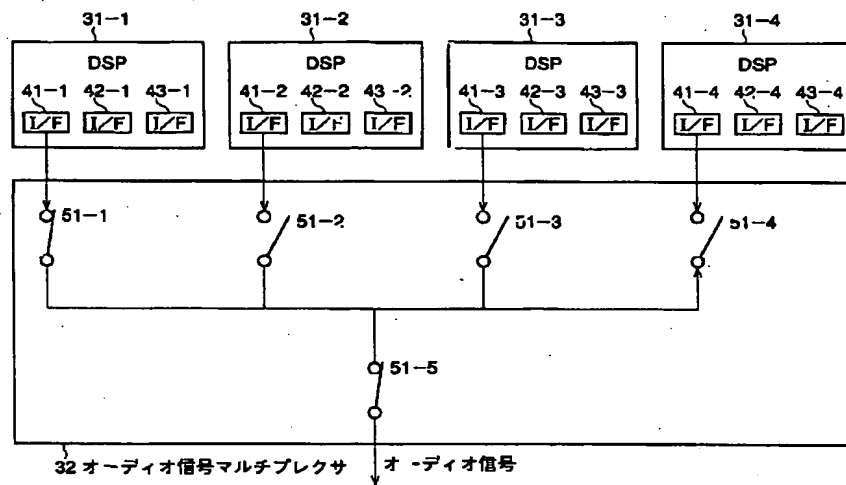
【図2】



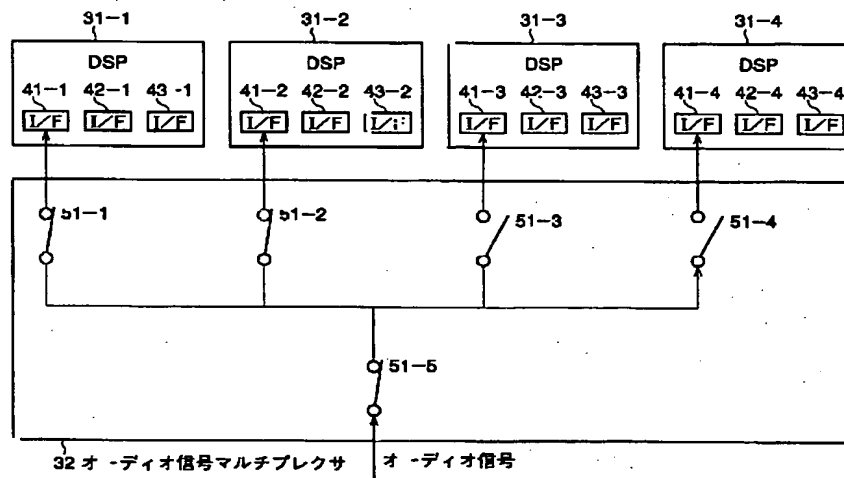
【図3】



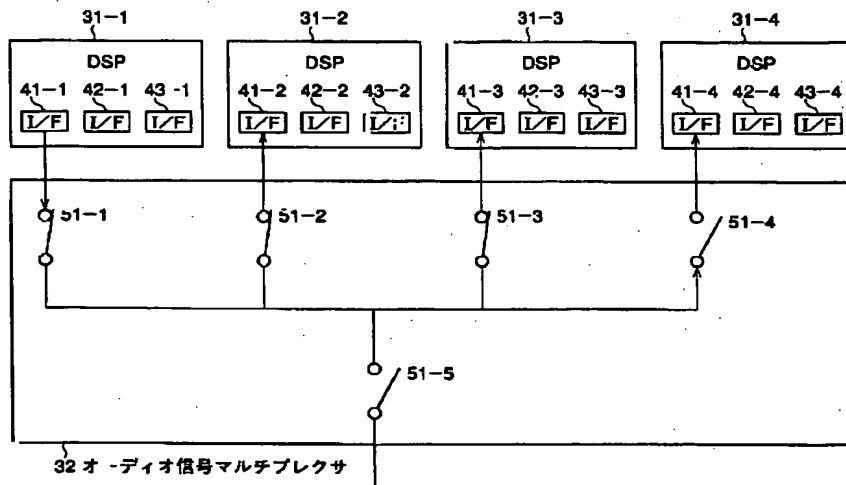
【図5】



【図6】



【図7】



【図8】

